

(19)



JAPANESE PATENT OFFICE

PATENT ABSTRACTS OF JAPAN

(11) Publication number: **04229636 A**

(43) Date of publication of application: **19.08.92**

(51) Int. Cl
H01L 21/82
H01L 21/3205
H01L 23/62
H01L 27/04

(21) Application number: **03102410**

(22) Date of filing: **08.05.91**

(30) Priority: **25.06.90 JP 02167137**

(71) Applicant: **MATSUSHITA ELECTRON CORP**

(72) Inventor: **KUDO HITOSHI**

(54) **ELECTRONIC ELEMENT**

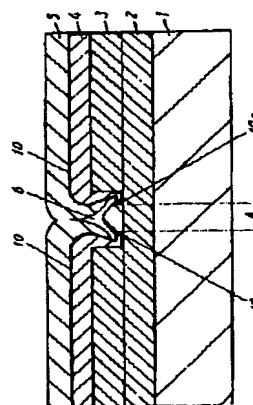
(57) Abstract:

PURPOSE: To form a fuse which short-circuits or insulates the element itself when electrons are emitted from counter electrodes so as to destroy it while a cold cathode emission phenomenon due on an electric field is utilized by a method wherein the counter electrodes are formed inside a hollow formed on an insulating film on a substrate.

CONSTITUTION: An oxide film 2 is formed on the whole main face of a substrate 1 composed of a semiconductor, a conductor or an insulator; an oxide film 3 is formed on the oxide film 2. A prescribed opening part is formed in the oxide film 3 by using a resist pattern; a metal interconnection 4 composed of an aluminum alloy is formed, by a sputtering method, on the upper part. Then, the metal interconnection 4 is etched uniformly and removed by a dry etching operation; only the metal interconnection 4 formed at corners of the groove bottom part is left. In addition, an oxide film 3 as a protective film is formed, by a plasma CVD method, at the upper part of the metal interconnection 4. At this time, a pair of counter electrodes 10 are formed between the oxide film 5 formed at the groove bottom part and the oxide film 5 formed on flat parts at its stepped

parts, and a space 6 is formed between the counter electrodes.

COPYRIGHT: (C)1992,JPO&Japio



(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平4-229636

(43) 公開日 平成4年(1992)8月19日

(51) Int. Cl. ⁵	識別記号	庁内整理番号	F 1	技術表示箇所
H 0 1 L 21/82				
21/3205				
23/62				
		7638-4M	H 0 1 L 21/82	F
		7353-4M	21/88	A

審査請求 未請求 請求項の数14(全 17 頁) 最終頁に続く

(21) 出願番号 特願平3-102410

(22) 出願日 平成3年(1991)5月8日

(31) 優先権主張番号 特願平2-167137

(32) 優先日 平2(1990)6月25日

(33) 優先権主張国 日本 (J P)

(71) 出願人 000005843

松下電子工業株式会社

大阪府門真市大字門真1006番地

(72) 発明者 工藤 均

大阪府門真市大字門真1006番地 松下電子工業株式会社内

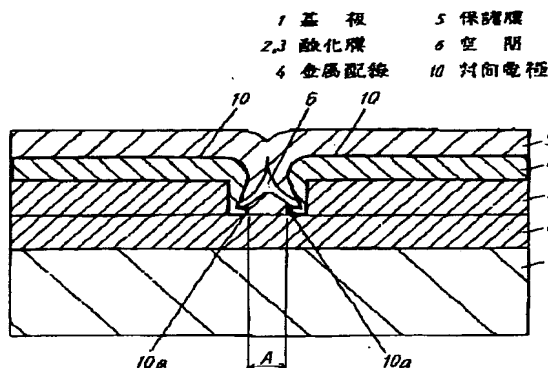
(74) 代理人 弁理士 小鍛冶 明 (外2名)

(54) 【発明の名称】 電子素子

(57) 【要約】

【目的】 半導体装置や半導体回路の保護を計り、さらには負荷抵抗を選択的にえれぶことができる電子素子。

【構成】 絶縁膜に設けられた窪み内に金属配線を設け、金属配線を窪み内で離間して形成する。離間した金属配線は対向電極となる。対向電極に電圧を印加すると、ある電圧以上で冷陰極放出が起こり、電子が他の対向電極へと流れる。このとき印加される電圧によって生じる熱で対向電極を溶融し、電極間を短絡したり、あるいは絶縁する事ができる。このような動作を利用して、半導体装置や半導体回路の保護を行なうことができる電子素子を提供する。また、特定の回路に接続される負荷抵抗の大きさを変化させ、回路に応じた抵抗を選択するようなスイッチング動作が行えるようになっている。



1

【特許請求の範囲】

【請求項1】基板上に形成された第1の絶縁膜と、前記第1の絶縁膜に形成された窪みと、前記第1の絶縁膜上および前記窪み内に形成され、かつ前記窪み内で離間して形成された一対の対向電極と、前記対向電極の周辺に形成された第2の絶縁膜からなる電子素子。

【請求項2】前記基板が半導体基板であることを特徴とする請求項1の電子素子。

【請求項3】基板上に形成された第1の絶縁膜と、前記第1の絶縁膜と第2の絶縁膜とで形成された窪みと、前記第1の絶縁膜上および前記窪み内に形成され、かつ前記窪み内で離間して形成された一対の対向電極と、前記対向電極の周辺に形成された第3の絶縁膜からなる電子素子。

【請求項4】前記対向電極の端部より冷陰極放出することを特徴とする請求項2の電子素子。

【請求項5】基板上に形成された第1の絶縁膜と、前記第1の絶縁膜と第2の絶縁膜とで形成された窪みと、前記第1の絶縁膜上および前記窪み内に形成され、かつ前記窪み内で離間して形成された一対の対向電極と、前記対向電極の周辺に形成された第3の絶縁膜を備え、前記第1の絶縁膜上に形成された前記第3の絶縁膜の形状が三角形である電子素子。

【請求項6】前記第3の絶縁膜は、第1、2の絶縁膜より低密度の膜質であることを特徴とする請求項4の電子素子。

【請求項7】前記第3の絶縁膜は、マイクロクラックが生じていることを特徴とする請求項4の電子素子。

【請求項8】基板上に形成された第1の絶縁膜と、前記第1の絶縁膜と第2の絶縁膜とで形成された窪みと、前記第1の絶縁膜上および前記窪み内に形成され、かつ前記窪み内で離間して形成された一対の対向電極と、前記対向電極の周辺に形成された第3の絶縁膜と、前記第1、2の絶縁膜および前記第3の絶縁膜で囲まれた前記窪みの中に空間が設けられている電子素子。

【請求項9】前記空間内の圧力が減圧であることを特徴とする請求項7の電子素子。

【請求項10】基板上に形成された第1の絶縁膜と、前記第1の絶縁膜と第2の絶縁膜とで形成された窪みと、前記第1の絶縁膜上および前記窪み内に形成され、かつ前記窪み内で離間して形成された一対の対向電極と、前記対向電極の周辺に形成された第3の絶縁膜からなり、対向電極間を流れる電流が印加電圧の2/3乗であることを特徴とする電子素子。

【請求項11】基板上に形成された第1の絶縁膜と、前記第1の絶縁膜と第2の絶縁膜とで形成された窪みと、前記第1の絶縁膜上および前記窪み内に形成され、かつ前記窪み内で離間して形成された一対の対向電極と、前記対向電極の上部に形成された第3の絶縁膜と、前記第3の絶縁膜上に形成された導電膜からなる電子素子。

2

【請求項12】基板上に形成された第1の絶縁膜と、前記第1の絶縁膜と第2の絶縁膜とで形成された窪みと、前記第1の絶縁膜上および前記窪み内に形成され、かつ前記窪み内で離間して形成された一対の対向電極と、前記対向電極の上部に形成された第3の絶縁膜とからなり、前記基板に半導体装置が併設されている電子素子。

【請求項13】基板上に形成された第1の絶縁膜と、前記第1の絶縁膜と第2の絶縁膜とで形成された窪みと、前記第1の絶縁膜上および前記窪み内に形成され、かつ前記窪み内で離間して形成された一対の対向電極と、前記対向電極の上部に形成された第3の絶縁膜とからなる電子素子であって、前記電子素子がスイッチング特性を有する電子素子。

【請求項14】基板上に形成された第1の絶縁膜と、前記第1の絶縁膜と第2の絶縁膜とで形成された窪みと、前記第1の絶縁膜上および前記窪み内に形成され、かつ前記窪み内で離間して形成された一対の対向電極と、前記対向電極の上部に形成された第3の絶縁膜とからなり、前記基板に半導体装置が併設されており、前記半導体装置のスイッチングを行なう電子素子。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、半導体集積回路の保護を目的とする電子素子に関するものであり、特に可逆あるいは非可逆の冷陰極の電界放出現象を利用して特定の回路の保護または回路の変更をおこなう回路に用いる電子素子および、冷陰極放出を利用した3極管特性を有する能動素子としての電子素子である。

【0002】

【従来の技術】半導体集積回路に形成されている半導体装置の素子寸法は1μm程度となっている。このため、約100万の半導体装置が1つのチップに集積されている。

【0003】従って、集積される半導体装置には多くの機能が要求されている。例えば、論理回路として用いられる相補型MOSトランジスタで形成されるナンドゲート、フリップフロップ回路などのほかにダイナミックメモリ(DRAM)、スタティックメモリ(SRAM)、読み込み専用メモリ(ROM)、書き込み可能メモリ(EPROM(電氣的に書き込み可能な読み出し専用メモリ)、EEPROM(電氣的に消去、書き込み可能な読み出し専用メモリ)、アナログ回路、バイポーラトランジスタや、回路変更可能なヒューズ、逆ヒューズがもちいられている。

【0004】一方、微細な半導体装置は、外部から受ける雑音やサージに対する耐性が低い。このため、半導体集積回路に作り込まれた半導体装置の外部回路に、半導体装置が雑音やサージから保護されるための半導体装置を組み込まれている。また、チップ内の半導体集積回路においても、接地された配線を使って信号線を遮蔽した

り、半導体集積回路の入出力端子にPN接合や拡散層でなる抵抗を接続することでサージや、過大電流が半導体集積回路に流入することを防止する方法がもちいられている。

【0005】回路変更可能な、ヒューズや、逆ヒューズを用いて微細な半導体装置が、次のように構成される。

【0006】大規模集積回路であるメモリ（DRAM、SRAM）では、その製造工程で集積回路の一部に不良が発生する確率が高い。このため、不良の部分をあらかじめ別に用意した予備のメモリ回路で置き換えることが有用である。このようにして不良部分を持つチップを良品とするよう工夫されている。不良部分を予備のメモリ回路に置き換えるためには、不良が発生しているメモリ回路の部分を回路上切り離して、予備のメモリを回路上接続しなければならない。ヒューズを用いて行なう場合には、最初はすべての回路にヒューズを接続した状態で回路をつくる。後に不良となったメモリ回路の配線に接続されたヒューズを、高電圧を印加して破壊したり、あるいはレーザを照射してヒューズを焼き切る手法が用いられている。

【0007】一方、逆ヒューズを用いた場合には、最初はすべての回路の接続を切断した状態にして形成される。この後、電気的に接続したい部分の回路だけに、高電圧を印加したり、あるいはレーザを照射することにより回路的な接続を行なう。

【0008】これらのヒューズ、逆ヒューズは、メモリ回路を構成するメモリ素子のひとつひとつに用いられ、随時必要なデータを所定のメモリ素子に書き込むことができる。論理回路に上記方法を用いれば、論理回路となる半導体装置を形成した後でも、論理回路の変更を適宜行なうことができる。半導体チップ上に形成される回路が大規模に集積化し、その構成は顕著に複雑化されている。このように、半導体装置の変遷に伴い、その半導体装置を利用して構成されている種類の機器の変遷もまた急ピッチで行なわれている。このため、半導体装置を製作するための回路設計から所望の回路素子を得るまでの期間を一層短縮することが必要である。このような要望に応じるために、半導体チップ上に構成される回路において、あらかじめ種類の回路を構成しておき、製造後にそれらの回路を組み合わせたり、あるいは回路の変更が容易に行えるようになっている。例えば、EPROM、EEPROMがマイコン回路を構成した半導体チップに同時に形成されているような回路も同じような理由で実現されているものである。

【0009】上記したヒューズの従来例について説明する。半導体基板上に酸化膜と多結晶シリコンをこの順序に積層する。酸化膜上の多結晶シリコンに不純物を拡散し、適当な寸法を持つ多結晶シリコンの島を形成する。多結晶シリコンの島を介して所定の2つの回路が接続されている。2つの回路が接続される必要がない場合に

は、多結晶シリコンの両端に過大な電圧をかけることにより、多結晶シリコンを溶断する。

【0010】また、逆ヒューズを用いた従来例について説明する。半導体基板に拡散層が形成されている。その拡散層上に、シリコン窒化膜を形成し、さらにシリコン窒化膜上部に金属配線を配置する。この金属配線はシリコン窒化膜を介して拡散層につながっている。所定の2つの回路は、一方の回路は金属配線によって電気的に接続されており、他方の回路は拡散層によって電気的に接続されている。この状態では、シリコン窒化膜は絶縁膜なので金属配線と拡散層は電気的に絶縁されている。ここで、所定の2つの回路を電気的に接続する必要がある場合には、シリコン窒化膜に過大な電圧を印加する。この操作によってシリコン窒化膜は破壊され、金属配線が拡散層に接続される方法が用いられている。

【0011】一方、半導体記憶装置からデータを読みだして、利用する場合に用いられる半導体記憶装置の区別は、そのデータの種類の利用度の点から次のように行なわれている。

【0012】通常、用いられるデータが繰り返し同じデータを用いる場合には、読みだし専用メモリ（ROM）を使う。一方、書き込んでおくデータが決まらないときや一旦書き込まれたデータを変更する必要がある時には、プログラマブルメモリ、例えばEPROM、EEPROMなどの紫外線消去、電気的消去の電気的書き込み可能メモリが用いられる。さらに、書き込まれたデータを保持するために、適当な時間間隔で繰り返し書き込みを行なうダイナミックメモリ（DRAM）がある。DRAMは、電源をきれば書き込まれたデータが失われてしまう。このため、頻繁にデータの書換えを行なうような用途に適している。これに対して、書き込まれたデータを保持するために、半導体装置の動作時に較べごく少ない電流を流すことで書き込まれたデータを保持できるスタティックメモリ（SRAM）がある。

【0013】また、EPROMやEEPROM等の書き込み可能メモリは、物理的にデータを書き込むため、電源を切っても内容が保存できる。

【0014】このような半導体装置では、外部から侵入した雑音やサージによって誤動作や半導体装置の破壊が生じる。このため、半導体装置には保護回路が同時に作り込まれている。すなわち、半導体集積回路素子の入出力を行なう外部の回路部分に予期せぬスパイクノイズやサージ等の過剰な電圧が内部の回路に印加されないようにする保護素子が組み入れられている。半導体チップ内部に形成された回路においても、チップ内に予期せぬスパイクノイズやサージ等の過剰な電圧が内部の回路に印加されないようにするために、電源配線や接地配線によって信号線の間を遮蔽している。このようにして、信号線の間でノイズが発生しないように配慮されている。

【0015】入出力を行なう外部の回路に予期せぬスパ

イクノイズやサージ等の過剰な電圧が印加された時、内部の回路を保護するために、拡散層（PN接合容量）を用いる場合について図17を参照しながら説明する。

【0016】電源電圧 V_{dd} がトランジスタT1のソースとダイオードD1に接続されている。ダイオードD1の他端は入力 V_{IN} に接続されている。さらに、入力 V_{IN} はトランジスタT1のゲートに接続されている。トランジスタT1のドレインより出力 V_{OUT} が取り出されている。また、トランジスタT1のドレインは抵抗R1を介して接地されている。

【0017】ダイオードD1は入力 V_{IN} の電圧が電源電圧 V_{dd} より高くならないようにするため設けられた保護ダイオードである。入力 V_{IN} の電圧が、電源電圧 V_{dd} より低いときには保護ダイオードD1には逆バイアスがかかり、導通していない。入力 V_{IN} の電圧が電源電圧 V_{dd} より高くなると、ダイオードD1は順バイアスの状態になる。このため、入力 V_{IN} の電圧が電源電圧 V_{dd} 以上に上がらないように作用している。

【0018】

【発明が解決しようとする課題】上記従来の拡散層を用いた保護回路の構成では、以下に述べる2つの問題がある。

【0019】1つ目は、予期せぬスパイクノイズやサージ等の過剰な電圧が印加された場合に十分に保護できるように、拡散層はある面積にする必要がある。しかし、保護回路として用いられる拡散層は一定以上の比較的大きな面積となる。このため、内部に形成される半導体装置が微細化されるのに伴って、拡散層の面積を小さくすることができない。このため、チップサイズの増大を招くという問題である。

【0020】2つ目は、拡散層による保護回路は、拡散層の接合容量、拡散層の抵抗や保護ダイオードを用いて、サージなどの急激に電圧が変動することを防止している。しかし、このため容量や抵抗によって入力信号の伝達速度が遅延するという問題がある。

【0021】このような問題点は、拡散層の接合容量によって保護しようとする保護回路を用いる限り回避できない。

【0022】また、多結晶シリコンをヒューズとして用いる場合、回路内の配線の一部に接続されている。しかし、ヒューズ部分は配線の抵抗が大きい。このため、回路全体の動作速度が低下するという問題がある。この問題は、ヒューズとなる多結晶シリコンの幅を太くすることにより、ヒューズの配線抵抗を減少させることができる。しかし、ヒューズを切断しようとする場合に、印加しなければならない電圧を大きくしなければならない。しかし、このようなことを実現することは不可能である。

【0023】また、シリコン基板の拡散層上にシリコン窒化膜を形成し、さらにその上部に金属配線を配置する

逆ヒューズの場合には、逆ヒューズが形成される領域の面積が大きくなる。このため、チップに形成される半導体装置の集積度が低くなるという問題がある。半導体装置の製造工程中であって、配線などの比較的後の工程で逆ヒューズを形成すれば、集積度を向上させることができる。しかし、このような半導体装置の構造やその形成方法については、何等の提言もなされていない。

【0024】さらに、電極からの冷陰極放出に関しては、「真空マイクロエレクトロニクス」伊藤 順司 応用物理 第59巻第2号(1990)164頁から169頁に記載されている。ここには、各種基板上に微細加工技術を用いて電極を形成することが示されている。ただし、形成された素子を動作させるためには、真空雰囲気であることが不可欠である。大気中では電極が酸化したり、電極が破壊してしまい、冷陰極からの電子の放出特性がすぐに失われる欠点を持っている。

【0025】本発明の目的は、高電圧や高電流のサージ及びノイズが、トランジスタや機能素子あるいは機器に侵入し、それらを構成する回路の破壊を防止する電子素子を提供することである。

【0026】また、従来の半導体装置の製造工程をそのまま用いることができ、さらには、回路の変更が容易で、半導体装置が形成された後であっても回路を最適化するための変更が容易にできる電子素子を提供することである。

【0027】さらには、対向電極となる金属配線部分のみを変更することで、短絡させたりあるいは絶縁させることのできる電子素子を提供することである。

【0028】また、そのような保護素子を構成するとともに能動素子にもなり得る電子素子を提供することである。

【0029】また、半導体装置の微細化に伴って微細にすることができ、半導体装置の集積度を低下させない電子素子を提供することである。

【0030】

【課題を解決するための手段】上記課題を解決するために、本発明の電子素子は、基板上に形成された第1の絶縁膜と、前記第1の絶縁膜上に形成された窪みと、前記第1の絶縁膜上および前記窪み内に形成され、かつ前記窪み内で離間して形成された一対の対向電極と、前記対向電極の周辺に形成された第2の絶縁膜からなる。

【0031】また、基板上に形成された第1の絶縁膜と、前記第1の絶縁膜と第2の絶縁膜とで形成された窪みと、前記第1の絶縁膜上および前記窪み内に形成され、かつ前記窪み内で離間して形成された一対の対向電極と、前記対向電極の周辺に形成された第3の絶縁膜からなる。

【0032】また、基板上に形成された第1の絶縁膜と、前記第1の絶縁膜と第2の絶縁膜とで形成された窪みと、前記第1の絶縁膜上および前記窪み内に形成さ

7

れ、かつ前記窪み内で離間して形成された一対の対向電極と、前記対向電極の周辺に形成された第3の絶縁膜を備え、前記第1の絶縁膜上に形成された前記第3の絶縁膜の形状が三角形である。

【0033】また、基板上に形成された第1の絶縁膜と、前記第1の絶縁膜と第2の絶縁膜とで形成された窪みと、前記第1の絶縁膜上および前記窪み内に形成され、かつ前記窪み内で離間して形成された一対の対向電極と、前記対向電極の周辺に形成された第3の絶縁膜と、前記第1、2の絶縁膜および前記第3の絶縁膜で囲まれた前記窪みの中に空間が設けられている。

【0034】また、基板上に形成された第1の絶縁膜と、前記第1の絶縁膜と第2の絶縁膜とで形成された窪みと、前記第1の絶縁膜上および前記窪み内に形成され、かつ前記窪み内で離間して形成された一対の対向電極と、前記対向電極の周辺に形成された第3の絶縁膜からなり、対向電極間を流れる電流が印加電圧の2/3乗である。

【0035】また、基板上に形成された第1の絶縁膜と、前記第1の絶縁膜と第2の絶縁膜とで形成された窪みと、前記第1の絶縁膜上および前記窪み内に形成され、かつ前記窪み内で離間して形成された一対の対向電極と、前記対向電極の周辺に形成された第3の絶縁膜と、前記第3の絶縁膜上に形成された導電膜からなる。

【0036】また、基板上に形成された第1の絶縁膜と、前記第1の絶縁膜と第2の絶縁膜とで形成された窪みと、前記第1の絶縁膜上および前記窪み内に形成され、かつ前記窪み内で離間して形成された一対の対向電極と、前記対向電極の周辺に形成された第3の絶縁膜とからなり、前記基板上に半導体装置が併設されている。

【0037】また、基板上に形成された第1の絶縁膜と、前記第1の絶縁膜と第2の絶縁膜とで形成された窪みと、前記第1の絶縁膜上および前記窪み内に形成され、かつ前記窪み内で離間して形成された一対の対向電極と、前記対向電極の周辺に形成された第3の絶縁膜とからなる電子素子であって、前記電子素子がスイッチング特性を有する。

【0038】さらに、基板上に形成された第1の絶縁膜と、前記第1の絶縁膜と第2の絶縁膜とで形成された窪みと、前記第1の絶縁膜上および前記窪み内に形成され、かつ前記窪み内で離間して形成された一対の対向電極と、前記対向電極の周辺に形成された第3の絶縁膜とからなり、前記基板上に半導体装置が併設されており、前記半導体装置のスイッチングを行なう。

【0039】

【作用】本発明の電子素子は、電界による冷陰極放出現象を利用して、特定の回路に一定の電圧以上の電圧が印加されても、対向電極より電子を放出することで、通電するようなスイッチングを繰り返し行なうことができる。これを可逆電子放出と呼ぶ。

8

【0040】また、本発明の電子素子は、電界による冷陰極放出現象を利用して、特定の回路に一定の電圧以上の電圧が印加された時、対向電極より電子を放出し破壊することで、その電子素子自体が短絡されたり、あるいは絶縁されてしまうようなヒューズを形成できる。これを非可逆、破壊電子放出と呼ぶ。

【0041】また、本発明の電子素子を回路に接続して用いることにより、外部から侵入するサージ等の高電圧あるいは高電流によって回路が破壊されることを防止することができる。

【0042】また、本発明の電子素子を複数個設け、その所定の位置にある電子素子を電界による冷陰極放出現象を利用して短絡させたり、あるいは絶縁させることで、容易に回路の変更を行うことができる。さらには、回路の変更が容易で、半導体装置が形成された後であっても回路を最適化するための変更が容易にする電子素子を提供することである。

【0043】また、本発明の電子素子は、従来の半導体装置の製造工程をそのまま用いて形成することができる。

【0044】また、半導体装置の微細化に伴って微細にすることができ、半導体装置の集積度を低下させない電子素子が形成できる。

【0045】また、制御電極を対向電極上部に設けることで、3極管特性を有する電子素子を形成することができる。このためこの電子素子を用いた能動回路が実現できる。

【0046】

【実施例】以下に本発明の第1の実施例の電子素子について図面を用いて説明する図1は本発明の第1の実施例の電子素子の断面構造を示す。図1において、半導体、導体あるいは絶縁体の基板1主面上全面に酸化膜（シリコン酸化膜）2が形成されている。酸化膜2の膜厚は、厚さ500nmである。酸化膜2の上には酸化膜3が形成されている。酸化膜3の膜厚は500nmである。酸化膜2は、常圧CVDの方法によって形成されている。酸化膜3は、プラズマCVDの方法によって形成されている。

【0047】酸化膜3にはレジストパターンを用いて所定の開口部が形成されている。酸化膜3の上部には、アルミニウム合金の金属配線4が積層されている。この金属配線4はスパッタ法を用いて形成される。スパッタ法は、酸化膜3に形成された段差部分での膜厚が、平坦な部分に形成された金属配線4の膜厚より薄くなる。すなわち、スパッタ法では段差部分に堆積される金属配線4のステップカバレッジが悪い。このため、酸化膜3の段差部が平坦部となす角度が、90度に近づくにつれてそのステップカバレッジは一段と悪くなる。溝形状をなす段差部分では、平坦部に堆積された金属配線4の膜厚より溝側壁に形成された金属配線4の膜厚が極端に薄くなる。

これはスパッタ法を用いた場合に特徴的な現象である。スパッタ法では、イオンによる物理的な力で原子・分子状の金属材料の粒子がランダムに基板に到達する。この時、段差部分の側壁に到達する粒子は特定の角度をもって入射され必要がある。粒子が特定の角度を有していても、粒子からみて段差によって影となる部分に入射しようとする粒子は、段差部分の上部平坦部分に堆積する。このため段差側壁での金属配線4の堆積量は平坦部に比べて少なく、また、膜質も低下する。

【0048】また、溝の2つの頂端部では、段差部分の平坦部に形成された金属配線4が堆積されるにつれて横方向に成長する。このため、溝頂部に金属配線4の成長とともに“ひさし（オーバーハング）”が形成される。この“ひさし”は、溝内部に入射する金属配線4の粒子の絶対量を減少させる。このため、溝側壁および溝底部に堆積する金属配線4は極端に少なくなる。最終的には溝内部の形状は、いわゆる逆テーパとなる。この現象は、金属配線4を形成するのに用いられるスパッタ法に限られたものではない。例えば、CVD法で形成される酸化膜や窒化膜でも同様に観察されるものである。

【0049】ここでは、溝の開口寸法は、短辺で0.2-1.5 μm 程度であり、長辺は0.2-20.0 μm 程度である。金属配線4の膜厚を平坦部で0.6 μm とした。この時、金属配線4による“ひさし”は、溝頂端部より横方向に0.1 μm 突き出した形状となっている。さらに、金属配線4を堆積した時、溝底部の酸化膜2上に形成された金属配線4の膜厚は0.2 μm である。

【0050】ここでは金属配線4で“ひさし”が形成されることについてのべているが、金属配線4による“ひさし”が形成されることは必ずしも必要ではない。すなわち、“ひさし”が存在するかどうかによって、後のべる対向電極端部からの冷陰極放出が行なわれるかどうかが決まるわけではない。

【0051】金属配線4を堆積後、ドライエッチングによって金属配線4を均一にエッチングし除去する。このドライエッチングは、異方性の高いエッチングを行なう。この工程は、半導体装置を製造するために、一般的に用いられる方法であって特別な加工方法が必要となるわけではない。

【0052】このエッチングによって、溝底部の隅に形成された金属配線4のみが残存している。

【0053】以上のように形成された金属配線4は酸化膜3の開口部に位置合わせされて1対の対向電極10を形成している。この時、対向電極10の端部10a間の長さはAである。長さAは、0.2-20.0 μm 程度である。

【0054】さらに金属配線4の上部には、保護膜が全面に積層されている。ここでは、保護膜として酸化膜5を用いている。酸化膜5は、プラズマCVD法によって形成する。

【0055】プラズマCVD法では、段差部分に堆積される膜のステップカバレジが常圧CVD法によって形成する場合と比較して良いことが知られている。しかし、形成される膜の種類によっても大きく異なり、酸化膜は窒化膜に比べてステップカバレジが悪くなる。

【0056】溝の底部においては、ステップカバレジは比較的良好に形成することができても、マイクロクラックが生じた膜であったり、フッ酸によるエッチレートの低い低密度の領域が形成されている。

【0057】次に、ボイドである空間6が形成される場合について説明する。溝の2つの頂端部では、段差部分の平坦部に形成された酸化膜5が堆積されるにつれて横方向に成長する。同時に、溝底部にも酸化膜5が堆積される。この時溝内部の逆テーパとなる側壁の奥まった部分、すなわち溝底部の隅に酸化膜5が堆積されることは少ない。さらに、溝頂部に形成された酸化膜5の成長とともに“ひさし”が形成される。この“ひさし”は、溝内部に入射する酸化膜5の粒子の絶対量を減少させる。すなわち“ひさし”によって開口部から侵入し堆積する酸化膜5は少なくなる。このため“ひさし”間の幅に応じて底部の堆積される範囲が決まる。以上の理由から溝底部に堆積される酸化膜5の形状は三角形となる。さらに酸化膜5を堆積させると、溝頂端部の2つの“ひさし”が相互に接触する。この後、酸化膜5の堆積を続けて行っても溝底部には堆積しない。この時、溝底部に形成された酸化膜5と段差部分の平坦部に形成された酸化膜5の間にボイドと呼ばれる空間6が形成される。ここで、対向電極10は必ずしも逆テーパの形状にする必要はない。

【0058】この空間6が形成されるかどうかは、溝の深さと金属配線4の膜厚と形状によって決まる。空間6が形成しないまでも、空間6に相当する領域には、マイクロクラックや低密度の膜領域が形成されておれば同様の効果がある。すなわち、このようにマイクロクラックが生じていたり、低密度の膜領域では電気的な絶縁性がきわめて悪い。

【0059】このようにして1対の対向電極10とその対向電極間に空間6が形成される。以上のような構成を持つ電子素子は、溝の右側の段差に設けられた金属配線4に電圧が印加される。溝の左側の段差に設けられた金属配線4は接地されている。

【0060】対向電極10に電圧が印加されると、溝底部に突起状に形成された金属配線端部10aから酸化膜5を通して他の金属配線端部に吸収される。

【0061】これは対向電極10に電圧が印加されると、金属配線端部10aの電界が大きくなる。この電界によって金属配線端部10aより電子が放出される。このように、この電子素子は電界によって冷陰極放出をする。以上のようにして電流は流れる。

【0062】この空間6は、酸化膜5のステップカバレ

シが完全でないために形成されるものである。しかし、空間6は明確に形成されるわけではない。保護膜の膜質がマイクロクラックを含んでいたり、膜の密度が低い場合でも用いることができる。

【0063】一方、酸化膜5を形成しない場合、および常圧CVDを用いて形成された保護膜としてシラン系リン含有酸化膜、シラン系は素含有酸化膜では十分な冷陰極放出を確認できない。これは、冷陰極放出を行なうためには減圧状態であることが必要で、空間6の領域でマイクロクラックや低密度の領域が実効的に減圧の状態

10 になっているためと考えられる。

【0064】酸化膜3は、1対の電極間に空間6を形成するため、300nmから1 μ mの膜厚が適当である。

【0065】また、開口寸法も空間6を形成するため、短辺で0.2-1.5 μ m、長辺で0.2 μ mから20 μ m程度が適当である。金属配線4は、用途に応じてアルミニウム、タングステン、チタンなどの各種の金属を用いることができる。膜厚は0.1 μ mから1.6 μ mが適当である。ここで保護膜は減圧CVDによって形成される絶縁物、例えばプラズマ-シラン系酸化膜、プラズマ-TEOS系酸化膜、プラズマ-シラン系酸化膜、プラズマ-シラン系酸化膜、オゾンTEOS系酸化膜などであればよい。またその膜厚は上記したように2つの溝頂端部に形成された保護膜が少なくともとも接触する程度であれば任意に用いることができる。

【0066】保護膜も、空間6を形成できる膜厚が必要で、開口寸法、電極膜厚、酸化膜3の膜厚に関係するが、おおよそ0.4 μ mから1.2 μ mが適当である。

【0067】空間6は、CVDで保護膜を堆積して行くと同時に空間6が形成される。この時、保護膜成長時の雰囲気であるシラン系の原料ガスやキャリアガスが空間6内部に充填されている。空間6の気密性が極端に低下すると冷陰極放出が起こり難くなる。しかし本実施例のように保護膜がこの素子の上部に形成されており、さらに保護膜にマイクロクラックが生じているものや膜質の低下したものをを用いているので、電流を流すことができるため問題は少ない。

【0068】電界による冷陰極放出は、30kV/cm程度以上の電界で起こるため、電極間距離が0.1から1.7 μ mである電子素子では、冷陰極放出を行なわせるために必要な印加電圧は0.3から5V程度である。

【0069】図2は、本発明の第2の実施例である電子素子の断面図を示す。図2は空間6にマイクロクラックをもたせた膜あるいは低密度の膜を形成するために、開口部の段差を大きくした場合の素子断面図である。

【0070】図2において、半導体、導体、絶縁体の各種の基板1主面上全面に酸化膜2が形成されている。酸化膜2の膜厚は500nmである。酸化膜2上に1対の対向電極10を挟むように多結晶シリコン7の孤立パター

0nmである。

【0071】多結晶シリコン7表面および多結晶シリコン7以外の酸化膜2の上部に酸化膜3形成されている。酸化膜3の膜厚は500nmである。酸化膜3の一部にはレジストパターンを用いて2つの多結晶シリコン7間の中程に開口部が形成されている。ここで、酸化膜3は多結晶シリコン7の表面を覆うように形成されており、開口部は基板1に垂直な側壁をもつように形成されている。このため、多結晶シリコン7のパターンは基板1に対して垂直な側壁を持つよう形成されるのがよい。ただし、多結晶シリコン7がテーパ形状をもっておれば、酸化膜3の頂端部より基板1に垂直にドライエッチングし、基板1に垂直な側壁をもつ溝を形成すれば良い。この場合、ドライエッチングによって多結晶シリコン7が露出することがあると後の工程で形成される金属配線4が接触し短絡されてしまう。

【0072】酸化膜3の上部には、アルミニウムの金属配線4が積層される。この金属配線4の形成にはスパッタ法が用いられる。ここで形成される金属配線4の形状は、第1の実施例と同様に“ひさし”をもつ逆テーパ形状となる。

【0073】以上のように形成された金属配線4は酸化膜3の開口部に位置合わせされて1対の対向電極10の端部10aを形成している。

【0074】さらに金属配線4の上部には、保護膜が全面に積層されている。ここでは保護膜として酸化膜5を用いている。この酸化膜5もまた第1の実施例に示したようにプラズマCVD法によって形成する。

【0075】この時も、溝底部に形成された酸化膜5と段差部分の平坦部に形成された酸化膜5の間にボイドとよばれる空間6が1対の電極10間に形成されている。

【0076】第1の実施例と比較すると、多結晶シリコン7のパターンが形成されているため、形成された溝の側壁の高さが第2の実施例の方が高く形成されている。このため、溝の幅が第1の実施例と等しい場合には、溝内部に形成される空間6の大きさが第2の実施例の方が大きくなる。

【0077】空間6が大きいと、対向電極10間にマイクロクラックや低密度の領域を安定して形成することができるため金属配線4間の距離をより大きくすることができる。

【0078】以上のような構成を持つ電子素子は、溝の右側の段差に設けられた対向電極10に電圧が印加される。溝の左側の段差に設けられた金属配線4は接地されている。

【0079】対向電極10に電圧が印加すると、溝底部に突起状に形成された金属配線端部から酸化膜5を通して他の金属配線端部に吸収される。

【0080】これは対向電極10に電圧が印加されると、金属配線端部の電界が大きくなる。この電界によ

て金属配線端部より電子が放出される。このように、この電子素子は電界によって冷陰極放出をする。以上のようにして電流は流れる。

【0081】多結晶シリコン7については、各種シリサイドやポリサイド（シリサイドと多結晶シリコンの積層構造）、金属配線（アルミニウム、タングステン、チタン）などが適用できる。膜厚は0.2～2.0μmが適用範囲である。

【0082】図3では、空間6を図1の空間より広くするが、図2の空間より狭く形成された第3の実施例の電子素子について説明する。

【0083】開口部の段差を選択酸化膜で形成する場合の素子断面図である。図3において、半導体、導体、絶縁体の各種の基板1上の冷陰極放出する領域、図1、2では酸化膜の溝となる所定領域以外の領域に選択酸化膜8が形成されている。選択酸化膜8の膜厚は、700nm程度に形成している。選択酸化膜8で挟まれた領域は基板1が露出している。選択酸化膜8と露出した基板1の上部には酸化膜2が形成されている。酸化膜2の膜厚は約300nmである。さらに、酸化膜3が膜厚約500nmが積層している。酸化膜3は、選択酸化膜8に挟まれた基板1の領域を少なくとも除去している。ここでは、選択酸化膜8の膜厚がほぼ500nmになる領域に挟まれた酸化膜3を除去している。酸化膜3と酸化膜2の露出した領域の上部に、アルミニウムの金属配線4が積層される。形成された金属配線4は、酸化膜3の開口部に位置合わせされて1対の電極10を形成している。すなわち、金属配線4の形成は上記したように酸化膜3の上面はもちろん、酸化膜3の側面と露出した酸化膜2の上面にも形成される。この後、酸化膜2の上面に形成された金属配線4の所定領域を除去するためにレジストパターンを形成し、ドライエッチングを用いて金属配線4の一部を除去する。このとき、レジストパターンは酸化膜3の開口部に位置合わせして形成される。

【0084】さらに、その上部には、保護膜である酸化膜5が全面に積層されている。保護膜は金属配線4の表面および露出した酸化膜2の表面を覆うように形成されている。この時、上記したように、金属配線4表面に形成される時、金属配線4の頂部の”ひさし”に堆積する保護膜は基板1の平面に平行な方向に成長する。このため、ある膜厚まで堆積すると、すなわち、対向電極10に挟まれた空間の半分の厚さになると、空間の開口部が保護膜によって塞がれてしまう。空間の開口が塞がれた後は、保護膜を堆積させても露出した酸化膜2の表面には堆積しない。このように、空間の開口は堆積される保護膜の膜厚に比例して狭くなる。このため、露出した酸化膜2の表面には、膜厚が厚くなるにつれて堆積面積が小さくなる。このため、酸化膜2上に形成された保護膜は三角形形状となる。このようにして、1対の対向電極10の間にボイドと呼ばれる空間6が形成されている。対

向電極10の端部10aの間の長さはAである。

【0085】ここでは、対向電極10の端部10aは、酸化膜2の傾斜した領域に形成されている。このため、対向電極端部10aの膜厚は薄く、その膜厚は図1や図2の電子素子のそれより小さくなっている。このように対向電極端部10aの面積は、後で述べる電子素子の電圧電流特性に大きな影響を与える。

【0086】膜種や膜厚の適用できる範囲は図1と全く同様である。図1、図2、図3で説明した電子素子は、それを製造するために、適当なマスクを用いて所定のパターンを開くリソグラフィ技術を用いると容易に形成される。また、半導体集積回路素子を製造する方法との整合性がきわめて高い。このため、通常のマスクパターンに同時にこの電子素子を組み込んで形成することができる。

【0087】例えば、上記した選択酸化膜8は通常、素子分離にもちいるものであり、多結晶シリコン7は、ゲート電極に用いるものである。酸化膜2、酸化膜3、保護膜は半導体集積回路素子の配線層の層間絶縁膜に相当する。対向電極10、金属配線4も半導体集積回路素子で用いられる金属配線を適用することができる。同様に、選択酸化膜8、多結晶シリコン7、酸化膜3、対向電極10での開口部および除去領域はリソグラフィによって、所定のパターンを形成することができる。

【0088】次にこの電子素子の電圧電流特性について図4を参照しながら説明する。図4は印加電圧に対する電流をプロットしたものである。パラメータは、対向電極間距離である。対向電極距離が狭いと、印加電圧が高くなるにつれて電流は徐々に増加する。印加電圧がある値Bに達すると、電流は急激に減少する。これは、対向電極が破壊されるためである。このためさらに、印加電圧がBより高くしても、電流は全く流れない。

【0089】電圧電流特性の形状はほぼ同じになる。電極間距離が広がると、電流が流れ始める時の印加電圧の値がシフトする。また、印加電圧を高くするにつれて徐々に電流の値も増加する。この時、電流が増加する割合は、電極間距離が狭い場合より広い方が小さくなる。

【0090】酸化膜3の開口部の段差の高さが一定であれば、対向電極間距離によって、電極間に形成されているボイドである空間6の大きさが変化する。さらに、電極間に形成された三角形の酸化膜等の絶縁膜がマイクロクラックを含んでいたり、あるいは、その絶縁膜の低い密度の領域を形成するのに関係している。

【0091】電極間距離が短いほど低い電圧で導通する。これは、対向電極間距離と印加電圧から電界強度（印加電圧／電極間距離）がもとまる。この電子素子は、図4に示すように一定印加電圧で電流が流れ始める。すなわち、電界強度が一定の電界強度以上に達すると電子放出が開始される。

【0092】電子素子の対向電極面積が大きくなると、

流れる電流は増加する。すなわち、電界によって対向電極端部10aより電子が放出される。このため、放出される電子の量は、対向電極部端部の面積に依存する。

【0093】図4において電極間距離が広いと電流が流れ始める電圧の値Bが高くなり、印加電圧が0の時のリーク電流が低下している。

【0094】ここで、対向電極は、印加電圧によって流れる電流によって加熱される。流れる電流の電流密度がある値に達すると、対向電極が溶けて電圧-電流特性が変化する。例えば、対向電極にアルミニウムを用いる*10

$$I = CE^2 \exp(-D/E) \quad A/m^2 \quad (1)$$

$$\text{すなわち、} \log(I/CE^2) = (-D/E) \quad (2)$$

ここで、C、Dは定数、Iは電流、Eは電圧または電界である。

【0097】印加電圧の逆数が、0.37以上すなわち印加電圧が低いと、 $\log(I/E^2)$ は1.22である。縦軸が"0"とならず、電流が流れているように見えるが、これは、冷陰極放出が起こらず表面付近でのリーク電流が流れている状態を示している。

【0098】印加電圧の逆数が、0.37以下すなわち印加電圧が高くなると、 $\log(I/E^2)$ は1.22から1.32へと変化する。この時、これらの値から外挿される直線の傾きは、 $-2/3$ である。すなわち、電流は印加電圧の $2/3$ 乗に比例する特性を示す。このような電圧電流特性は、3極管の真空管特性と類似したものである。このように半導体製造装置を用いて薄膜を形成することで3極管の真空管特性をもつ電子素子が形成される。この電子素子は薄膜を用いて実現されているため、微細な素子を形成することができる。また、本電子素子*10は上記したように従来の半導体製造プロセスと従来の半導体製造装置を用いて形成できるため、従来の半導体素子、例えば、抵抗や容量の受動素子、さらにはバイポーラトランジスタやMOSトランジスタ等の能動素子とも組み合わせ用いることができる。

【0099】以上のことをまとめると、対向する1対の対向電極10間に、電界を印加していくと、ある一定の電界で、対向電極10から冷陰極放出が起こる。これは熱電子真空管のように金属を加熱して熱電子を放出するのではない。印加された電界により対向電極10の金属と外界のポテンシャルが同じになる。これによって、対向電極10から電子が引き出される現象である。電界の大きさが30keV/cm程度で対向電極10から電子の放出が開始する。この時、電子放出部は保護膜で被われているので周辺環境によって影響を受けることはない。すなわち、大気あるいは真空であってもよい。通常の電子回路では30keVという電圧は非常に大きな値であるが、ミクロン単位の半導体集積回路装置の寸法では、3~6V程度の電圧を印加するとこのような電界をつくること*10ができる。

【0100】一般に、電極間の距離が広い場合には、電

*と、その融点は低いので少ない電流密度で溶融する。これに対して、タングステン、チタンなどの高融点金属では、アルミニウムの数倍の電流でも溶融しない。

【0095】図5に印加電圧と電流の関係をセミlogにプロットし直した図を示す。横軸は印加電圧の逆数を示す。縦軸は、電流を電界の2乗で割った値の自然対数の値を示す。

【0096】横軸と縦軸の関係を数式で表わすと、(1)または(2)式となる。

子を放出する対向電極に鋭角をもつ先端をつけて局部的に電界を強める工夫が必要になる。しかし、本発明の電子素子の対向電極10間の長さは約1~10μm以下である。このため、鋭い先端をつくらなくても対向電極表面の凹凸で電界が強められる。このように、単純な平面構造を有する対向電極に数V程度の電圧を印加するだけで電界による冷陰極放出が起こる。

【0101】電界による放出は一定電界以上で電流が電界の $3/2$ 乗に比例する係数を持つ。すなわち、金属の配線に大きな電圧を印加するとオーミック特性、すなわち電圧と電流が比例する関係からはずれてしまう。これに対して、本発明の電子素子では抵抗が増加する*10に対して抵抗が低下する特性を有している。対向電極に用いる材質としては、少ない電流で溶けてしまうアルミニウムを用いる場合と、融点が高くなり多くの電流を流せるタングステン等の場合がある。

【0102】少ない電流で溶けてしまうアルミニウムを用いると、対向した対向電極間を絶縁するのに用いる場合と、逆に溶けて接続されて電気的に導通した配線となってしまう場合がある。対向電極間の長さを変えて実験したところ、距離がおおよそ0.5μm以下であれば、通電時に短絡しやすい。対向電極間の長さが0.5から1.5μm程度であれば、対向電極の凹凸部が溶融し抵抗が高くなる。このため、やがては通電しなくなる。対向電極間の長さが2.0μm程度以上では、局所的に電界が集中することがなくなる。このため、測定される電流値は少なくなる。しかし、このような電流の発生は再現性よく、可逆的に電流が観察される。この時、対向電極10が短絡したりや絶縁されてしまうことはほとんどない。ここで形成した電子素子の対向電極上部に形成されている絶縁膜は、プラズマTEOS(テトラエトキシシラン)系酸化膜を用いた場合である。

【0103】次に、本発明の電子素子を用いた回路について図6を用いて詳細に説明する。図6は本発明の電子素子を用いて外部信号入力部のトランジスタを保護する保護回路を形成している。外部信号入力部のトランジスタがT1、T2である。トランジスタT1のドレインとトランジスタT2のソースが接続されており、その接続

点から出力VOUTが取り出されている。トランジスタT1のソースは電源電圧Vddに、トランジスタT2のドレインは接地に接続されている。トランジスタT1とトランジスタT2のゲートは共通で、入力VINに接続されている。入力VINと接地の間には、電子素子G1が接続されている。保護したいトランジスタに対して並列に電子素子が接続されている。

【0104】図7に、保護したいトランジスタのゲートに印加される入力VINの印加電圧とゲート電流の関係を示す。トランジスタT1、T2は約14ボルト以上の電圧が印加されるとゲート直下のゲート酸化膜が破壊される。

【0105】トランジスタT1、T2のゲートに印加される入力VINの電圧とともに、電子素子G1の電極間の電圧は上昇する。入力VINの電圧が10ボルトになると、電子放出により電子素子G1が導通する。このためトランジスタT1、T2のゲート電圧は、10ボルト程度に保持される。入力VINの電圧がさらに増加してもトランジスタT1、T2のゲート電圧は10ボルト程度以内にとどめられている。

【0106】なお、図6は入力と接地間の電圧を一定に保つために構成されているが、電源電圧と入力間の電圧を一定に保つことも同様に可能である。

【0107】ここでは、トランジスタのゲート酸化膜を保護する場合について述べているが、一定以上の電圧を印加することで誤動作や素子の破損が生じるような素子（端子）を保護する場合に一般に用いることができる。すなわち、本発明の電子素子は印加された電圧が一定値になると、印加電圧によって生じる電界の値が電子を放出するしきい値に達する。これによって電子が放出され通電が開始される。保護したいトランジスタのゲートやドレインやその他の素子に、過大な電圧が印加されることを防ぐことができる。

【0108】保護したい素子（端子）の種類によって、印加してはいけない電圧値が異なる。このような電圧値を変化させるためには、本発明の電子素子の対向電極間距離を変化させる。対向電極間距離を変化させることで、設定電圧を印加した時に生じる電界を変化させ、制御することができる。例えば、電界が30kV/cmで、電子が放出される場合には、対向電極間距離を4μmとすると、印加電圧は12ボルトまで印加することができる。また、後で述べる制御電極の電位によっても制御することができる。

【0109】また、電子素子G1に、流すことのできる電流（以下、許容電流と呼ぶ）を増加させるためには、対向電極面積（対向電極の厚さと対向長）を大きくすることにより実現できる。許容電流は対向電極間に形成された絶縁膜に生じている空間、マイクロクラックの大きさや絶縁膜に形成された低密度の領域の大きさにも依存している。

【0110】絶縁膜に空間のマイクロクラックをもつ領域あるいは低密度領域の大きさは、おもに対向電極を形成する場合の段差部の段差の大きさとその上部に形成された絶縁膜のステップカバレジの良否によって決定される。すなわち、下地段差部の高さや形状と、絶縁膜の形成条件や方法を適宜選択することによって所望の空間のマイクロクラックをもつ領域あるいは低密度領域の大きさを制御することができる。

【0111】図6で示したトランジスタT1、T2を保護するためには、電子素子G1の対向電極が所定の印加電圧で確実に通電し、しかも破壊されにくくすることが必要である。このため、対向電極の材料として、チタンや、タングステンなどの高融点金属あるいはそれらの合金が適当である。また、対向電極間距離は、2μm以上10μm程度が適している。

【0112】図8に、図6で示した回路の入力信号とトランジスタに印加される電圧の波形を示す。図8は時間変化に対する電圧の変化を示している。

【0113】図8(a)は、入力される信号の電圧VINの波形とトランジスタのゲートに印加される電圧の波形を示す。

【0114】入力VINは、電源電圧Vddに昇圧した瞬間、サージやスパイクノイズが印加されている。このため所望の電圧より高い電圧が電源電圧Vddが印加されると同時にトランジスタT1、T2のゲートに印加される。しかし、回路には電子素子G1が並列に接続されているため、所定電圧以上の電圧が印加されると上記したように電子素子G1が短絡する。この結果図8(b)に示されるように、所定の値以上の電圧は発生しない。このような電圧がトランジスタT1、T2のゲートに印加される。

【0115】図9は本発明の電子素子を用いて他のトランジスタを保護する第2の実施例の保護回路である。

【0116】トランジスタがT1のドレインと電子素子G1が接続されており、その接続点から出力VOUTが取り出されている。トランジスタT1のソースは電源電圧Vddに、電子素子G1は抵抗R1を介して接地されている。トランジスタT1のゲートは入力VINに接続されている。保護したいトランジスタT1に対して直列に電子素子G1が接続されている。

【0117】保護するトランジスタのドレインに対して直列に本発明の電子素子を接続した例である。

【0118】図10に、保護したいトランジスタに印加される印加電圧とトランジスタのドレイン電流の関係を示す。このトランジスタT1はソース・ドレイン間に電源電圧Vdd8ボルト以上の電圧が印加されると破壊される恐れがある。

【0119】トランジスタT1のソース・ドレイン間に印加される電圧とともにトランジスタのドレイン電流は上昇する。印加電圧が7ボルトになると、トランジス

19

タのドレインには10mA程度の電流が流れる。この時、電子素子は破壊され断線状態になる。このためトランジスタのドレイン電流もまた、急激に減少し、印加電圧がさらに増加してもトランジスタのドレインには電流が全く流れない。

【0120】ここでは、トランジスタを保護する場合について述べているが、一定以上の電流が流れると誤動作や素子の破壊が生じるような素子（端子）を保護するのに用いることができる。というのも、本発明の電子素子は電流値が一定値以上になると対向電極が破壊される。このため、電子が放出されなくなるので、保護しようとする素子や回路に過大な電流が流れることがない。

【0121】素子や回路を保護するための電流の値は、電子素子の対向電極間面積と空間、マイクロクラック、低密度領域の領域の大きさで制御できる。

【0122】空間、マイクロクラック、低密度の領域を持つ絶縁膜の領域の大きさを変えるためには、対向電極を形成する段差部とその上部に形成された絶縁膜のステップカバレージを変える必要がある。すなわち、下地段差の高さや形状と、絶縁膜の形成方法を適宜選択することで流すことのできる電流の値を変化させることができる。この例で用いた電子素子の対向電極は一定の電流が流れたとき、破壊しなけなければならないので、材料としてアルミニウムなどの低高融点金属あるいはその合金が適当である。さらに、その対向電極の電極間距離は0.5μmから2.0μmが適している。

【0123】図11に、図9で示した回路の入力信号とトランジスタに印加される電圧の波形を示す。図11は時間変化に対する電圧の変化を示している。

【0124】図11(a)は、入力される信号の電圧VINの波形を示す。入力VINから印加される電圧は時間とともに増加する。印加される電圧は時間に対して単調増加する直線である。

【0125】図11(b)は、出力VOUTされる電圧の時間変化を示している。入力VINの電圧が所望の電圧値以上になりトランジスタT1が破壊されるような電流が流れるのを防ぐために、電子素子G1の対向電極が破壊され絶縁状態になる。このため出力VOUTされる電圧は、電子素子G1の破壊とともに0となる。

【0126】図12は、プログラマブル（設定可能）回路の実施例である。あらかじめ何通りかの回路が構成できるように形成しておき、所望の回路を、これらの回路を組替えることで実現する。

【0127】図12では、ある回路の負荷抵抗を選択するもので、電圧を印加することにより電子素子を絶縁、あるいは短絡するようなスイッチとして働かせようとするものである。

【0128】すなわち、電子素子に一定の電流が流れたときに、絶縁する場合は対向電極を破壊しなけなければならないので、対向電極材料としてアルミニウムなどの低高

20

融点金属あるいはその合金が用いられる。この時、対向電極間距離は0.5μmから2.0μmが適している。

【0129】一方、電子素子に一定の電流が流れたときに、短絡する場合は、電子を放出することによって対向電極が溶けて電極間が短絡され、導通状態にする。このため、対向電極材料としてアルミニウムなどの低高融点金属またはその合金とチタン、タングステンなどの高融点金属あるいはその合金との積層構造が用いられる。なぜなら、電子素子に電流を流して絶縁状態にさせるためには、低融点金属で電流に依って溶け易かつ、最初に形成されたままに対向電極の形状が残ってはいけいない。電子素子に電流を流して短絡状態にするには、電流による溶融は起こりやすいほうがよいが、最初に形成されたままに対向電極の形状が残っていたほうが短絡しやすい。このような理由で、積層構造にするのが有利である。

【0130】この時、確実に短絡させるためには対向電極間距離を0.5μm以下にするのがよい。

【0131】短絡あるいは絶縁するための電子素子をG1、G2、トランジスタをT1、T2、T3、T4、抵抗をR1、R2としている。P1、P2は回路中のノードである。T1、T2、T3、T4はG1、G2を短絡または絶縁するためのトランジスタである。図12では、ある回路の負荷抵抗を選択するものであり、ノードP1とノードP2にそれぞれ特定の回路が接続されている。電子素子が絶縁、あるいは短絡することを選択するスイッチとして働かせ、それぞれの特定の回路の負荷抵抗を選択する。電子素子G1の両端に抵抗R1が接続され、電子素子G2の両端に抵抗R2が接続されている。電子素子G1とG2は接続され、その接続点はトランジスタT2に接続されている。同時に接続点にはトランジスタT2と並列に接続されたトランジスタT3が接続されている。電子素子G1のもう一方の端子はノードP1に接続されている。また、電子素子G2のもう一方の端子はノードP2に接続されている。ノードP1にはトランジスタT1に接続され、ノードP2にはトランジスタT4に接続されている。トランジスタT1の他端は端子電圧VDに接続され、さらにトランジスタT2に接続されている。また、トランジスタT4の他端は接地され、さらにトランジスタT4に接続されている。

【0132】トランジスタが動作していない状態では、電子素子G1、G2が接続されていない場合に相当する。この時、ノードP1とノードP2の間の負荷抵抗は抵抗R1と抵抗R2が直列に接続され、(R1+R2)となる。

【0133】トランジスタT1、T3が導通した状態では、電子素子G1が短絡あるいは絶縁される。

【0134】電子素子G1が短絡も絶縁もしていない状態では、トランジスタT1、T3が導通すると、電子素子G1に端子電圧VDが印加されると、電子素子G1に

は大きな電流が流れる。このため電子素子G1は短絡あるいは絶縁される。短絡されるか絶縁されるかは、上記したように対向電極の材質と、その構造と電極間距離によって決まる。

【0135】ノードP1とノードP2の間の負荷抵抗は、電子素子G1が短絡されると、抵抗R2は0となる。この時、電子素子G1が絶縁されると抵抗R1となる。

【0136】次に、電子素子G1が短絡あるいは絶縁ともしないとき、トランジスタT2、T4が導通した状態では、電子素子G2が短絡あるいは絶縁される。

【0137】トランジスタT2、T4が導通すると、電子素子G2に端子電圧VDが印加されて、電子素子G2には大きな電流が流れる。このため、電子素子G2は短絡あるいは絶縁される。短絡されるか絶縁されるかは、上記したように対向電極の材質と、その構造と電極間距離によって決まる。

【0138】ノードP1とノードP2の間の負荷抵抗は、電子素子G2が短絡されると、抵抗R1は0となる。この時、電子素子G2が絶縁されると抵抗R2となる。

【0139】同様に電子素子G1、G2が共に短絡されると、ノードP1とノードP2間の抵抗は0となる。両方の電子素子G1、G2が絶縁されるとノードP1とノードP2間の抵抗はR1+R2となる。

【0140】以上の作業で、ノードP1とノードP2間の抵抗は、0、R1、R2、R1+R2の4つの場合を選択することができる。

【0141】以上の拡張として抵抗R1、R2が接続されていない回路を考えれば、ノードP1とノードP2の間の電気的な接続は、電子素子G1、G2のいずれか一方が絶縁されることで断線されてしまう。すなわち、ノードP1とノードP2間の抵抗は0、R1、R2、R1+R2、絶縁の5つの状態を作ることができる。このため、図12に示す回路を複数個組み合わせることで他の回路に接続すると、論理回路を構成することもできる。この時、必要に合わせて抵抗R1や抵抗R2のかわりにトランジスタやダイオードを組み合わせることもできる。

【0142】図13に本発明の第4の実施例の電子素子について示す。第4の実施例の電子素子の構成は、第1の実施例の電子素子の構成に、対向電極が形成されている窪み領域上の保護膜の表面に制御電極を設けている。

【0143】すなわち、基板1上に酸化膜2が形成されている。さらに酸化膜2の表面对向電極が形成される領域が除去された酸化膜3が形成されている。さらに対向電極が形成される窪み底面とその側壁および酸化膜3表面に金属配線4が形成されている。窪みの底面に形成された金属配線4の所定領域は除去されている。除去された所定領域には酸化膜2が露出している。さらに、保護膜となる酸化膜5が全面に堆積されている。この時、

窪み上部を保護膜が覆うように形成されている。さらに、酸化膜2表面には三角形の酸化膜5が形成されている。また、窪みは保護膜の堆積条件の関係で、窪み内にボイドと呼ばれる空間6が形成されている。さらに保護膜表面に制御電極11が形成されている。

【0144】制御電極11は電圧を印加して、窪み内の電界を変化させるのに用いられる。すなわち、冷陰極放出は電界によって電子を放出する。このため第1-第3の実施例の電子素子では、対向電極に電圧を印加して電子を放出させる。一方、第4の実施例では、対向電極に電圧を印加して電界を発生させると同時に、対向電極付近の電界を外側より変化させる。このようにして対向電極に印加する電圧（電界）とは別に対向電極間の電流を制御するようにしている。この対向電極間の電流を制御するために保護膜上に制御電極11が設けられている。

【0145】この時、対向電極間の距離が3μm程度以下であれば、制御電極11の効果はほとんどない。これは、対向電極間距離または対向電極10と制御電極11の距離が遠いと制御電極11に印加された電圧によって生じる電界が小さく、所望の効果が得られない。

【0146】対向電極間の距離が3μm程度を越えると、制御電極11に印加された電圧によって生じる電界の影響を受け始める。上記したように対向電極間距離が3μm以上では、電子素子が短絡したり、絶縁するという非可逆現象より、再現性の高い可逆現象が得やすい。このため、可逆現象が繰り返される度に、冷陰極からの電子放出が行なわれる。すなわち対向電極間距離、電極の材質、窪みの大きさ、窪みの深さ以外に対向電極間を流れる電流を変化させるパラメータとして制御電極11の電圧がある。制御電極11により対向電極間を流れる電流を増減させることができる。

【0147】このような電子素子は、トランジスタのかわりの能動素子として動作させることができる。また、他の実施例と同じように特定回路の保護素子としても用いることができる。

【0148】冷陰極によって電子を放出させる電圧を、電子素子が形成された後、外部から制御電極に印加する電圧によって任意に変えることができる。

【0149】例えば、電気的に書き込み可能なROM（EEPROM）に書き込みを行なう場合、書き込み時に印加される電圧は通常の素子の動作電圧よりも高い。このため、素子等の電気回路を保護するための回路が働きます電圧も書き込み電圧よりも高くしなければならない。しかし、通常の素子が動作する電圧よりも保護回路が働くための電圧があまりに高すぎると、保護する素子が破壊される可能性が高くなり、保護回路としての機能を損なう危険性が高まる。

【0150】そこで第4の実施例で示した電子素子では、外部から制御電極に印加される電圧によって保護回路が動作する電圧を任意に変えられる。よって、容易で

かつ確実に特定回路の保護をすることができる。

【0151】従来より冷陰極放出を用いた素子は知られているが、いずれの場合でも電子を放出する電極を形成した状態で、パッケージ中に真空中で封止するものである。このような素子では、半導体装置と共存させることは不可能である。また、真空中に封止するため素子表面には保護膜がない。このため電極の劣化が激しく再現性がない。本発明の電子素子では半導体装置の製造工程に準拠して、素子を形成することができる。このため、半導体装置との共存が可能であり、印加電極が保護膜で覆われているため、電子素子の電気的特性の再現性が優れている。

【0152】図14に本発明の第5の実施例の電子素子について示す。第5の実施例の電子素子の構成は、第2の実施例の電子素子の構成に、対向電極が形成されている窪み領域上の保護膜の表面に制御電極を設けている。第2の実施例でのべたように、図14の電子素子は空間6にマイクロクラックをもたせた膜あるいは低密度の膜を形成するために、開口部の段差を大きくした場合の素子断面図である。

【0153】半導体、導体、絶縁体の各種の基板1主面上全面に酸化膜2が形成されている。酸化膜2上に1対の対向電極10を挟むように多結晶シリコン7の孤立パターンが形成されている。多結晶シリコン7表面および多結晶シリコン7以外の酸化膜2の上部に酸化膜3形成されている。酸化膜3の一部にはレジストパターンを用いて2つの多結晶シリコン7間の中程に開口部が形成されている。ここで、酸化膜3は多結晶シリコン7の表面を覆うように形成されており、開口部は基板1に垂直な側壁をもつように形成されている。酸化膜3の上部には、アルミニウムの金属配線4が積層される。

【0154】以上のように形成された金属配線4は酸化膜3の開口部に位置合わせされて1対の対向電極10の端部10aを形成している。

【0155】さらに金属配線4の上部には、保護膜が全面に積層されている。ここでは保護膜として酸化膜5を用いている。

【0156】窪みの底面に形成された金属配線4の所定領域は除去されている。除去された所定領域には酸化膜2が露出している。さらに、保護膜となる酸化膜5が全面に堆積されている。この時、窪み上部を保護膜が覆うように形成されている。さらに、酸化膜2表面には三角形の酸化膜5が形成されている。また、窪みは保護膜の堆積条件の関係で、窪み内にボイドと呼ばれる空間6が形成されている。さらに保護膜表面に制御電極11が形成されている。

【0157】制御電極11は電圧を印加して、窪み内の電界を変化させるのに用いられる。すなわち、冷陰極放出は電界によって電子を放出する。一方、第5の実施例では、対向電極に電圧を印加して電界を発生させると同

時に、対向電極付近の電界を外部より変化させる。このようにして対向電極に印加する電圧（電界）とは別に対向電極間の電流を制御するようにしている。この対向電極間の電流を制御するために保護膜上に制御電極11が設けられている。

【0158】このような電子素子は、トランジスタのかわりの能動素子として動作させることができる。また、他の実施例と同じように特定回路の保護素子としても用いることができる。

【0159】図15に第4の実施例の電子素子の平面図を示す。図14と比べてその電子素子の構成を説明する。領域12は、対向電極10となる金属配線4である。この対向電極間の距離はA（10.0μm）である。

【0160】この電子素子は、対向電極10間に堆積した溝15の底部の絶縁膜にマイクロクラックや空間や低密度領域を設け、電気的な導電を得るようにしている。これらにマイクロクラックや低密度領域は窪みを設けた領域に絶縁膜を形成することによって実現している。このため、溝15は、対向電極間の距離Aよりも長く12.0μmで、その幅はBで1.0μmである。対向電極間距離Aは、電子素子の特性を変えるために比較的広い範囲で設定できるが、その幅Bは、マイクロクラックや低密度領域を形成するために10.μm程度の寸法に限定される。従って、1つのセルの対向電極は1.0μmの長さとなる。流すことのできる電流値はセルを複数個並列に接続することで変化させることができる。図15では、5個のセルを並列に接続している。

【0161】また、この実施例では対向電極10と制御電極11に、オーバーラップを設けたほうが電圧-電流特性のバラツキを小さくすることができる。

【0162】また、第4の実施例で示した図は、図15のE-E'線での断面を示している。

【0163】図16は図15に示した電子素子が能動素子として働くことを説明するための電圧-電流特性を示す。

【0164】横軸は対向電極間に印加される電圧値である。縦軸は対向電極間に流れる電流値を示す。パラメータは、制御電極に印加される電圧値である。

【0165】対向電極間電圧が、制御電極を0ボルトに固定した状態では、50ボルト付近までは対向電極間電流はほとんど流れない。対向電極間電圧が60ボルト以上になると、対向電極間に流れる電流は急激に増加する。電流があまり大きくなると電子素子が破壊するので、この測定では対向電極間に流れる電流は1mAに制限している。

【0166】制御電極に印加される電圧値によって、対向電極間に流れ始める電流の立ち上がり時の対向電極間電圧が異なる。また、制御電極に印加される電圧値によって、対向電極間に流れる電流が約1mAとなる対向電

極間電圧が異なる。

【0167】制御電極に印加される電圧が、負にバイアスされるにつれて、対向電極間に流れ始める電流の立ち上がり時の対向電極間電圧は小さく、また、対向電極間に流れる電流が約1mAとなる対向電極間電圧は小さい。

【0168】例えば、制御電極に印加される電圧が、-40ボルトであれば、対向電極間に流れ始める電流の立ち上がり時の対向電極間電圧は40ボルトであり、対向電極間に流れる電流が約1mAとなる対向電極間電圧は65ボルト程度である。

【0169】以上のように、制御電極を備えた電子素子では、その制御電極に印加する電圧を変化させることで、電子素子の電圧-電流特性を制御することができる。

【0170】また、制御電極を持つ電子素子では、能動素子となっておりその特性から真空管の3極管特性を有している。このため、真空管を用いて構成されるような電子回路に使用できることは言うまでもない。

【0171】以上の実施例では、第1層目の金属配線を対向電極としているが、第2層目、第3層目などの金属配線を対向電極に用いることができるのは言うまでもない。

【0172】また、制御電極を1つの場合の説明をしているが、複数の制御電極を設け、電圧-電流特性を変えられることも言うまでもない。

【0173】以上説明したように、本発明の電子素子は半導体集積回路素子の通常の製造工程をそのまま用いてつくることができるため、特別な製造工程が不要であり容易に実施可能である。また本発明の素子を保護回路に用いる事により、高電圧、高電流（サージ、ノイズを含む）による機能素子あるいは機器、システムの破壊を防止できる。さらに本発明の素子を用いる事により、製造工程（マスク）の共通化をはかりつつ素子製造後に回路構成を変更できるため、できあがった素子をもちいて回路構成を変更できる。従って短期間で回路の最適化と製品化ができる。また外部から制御電圧に印加する電圧によって保護回路の動作する電圧を任意に変えられる利点があるため、より容易かつ確実に特定回路の保護をすることができる。

【0174】

【発明の効果】以上説明したように、本発明の電子素子は半導体集積回路素子の通常の製造工程をそのまま用い

てつくることができるため、特別な製造工程が不要であり容易に実施可能である。また本発明の素子を保護回路に用いる事により、高電圧、高電流（サージ、ノイズを含む）による機能素子あるいは機器、システムの破壊を防止できる。さらに本発明の素子を用いる事により、製造工程（マスク）の共通化をはかりつつ素子製造後に回路構成を変更できるため、できあがった素子をもちいて回路構成を変更できる。従って短期間で回路の最適化と製品化ができる。また外部から制御電圧に印加する電圧によって保護回路の動作する電圧を任意に変えられる利点があるため、より容易かつ確実に特定回路の保護をすることができる。

【図面の簡単な説明】

【図1】本発明の電子素子の第1の実施例の断面構造を説明する図

【図2】本発明の電子素子の第2の実施例の断面構造を説明する図

【図3】本発明の電子素子の第3の実施例の断面構造を説明する図

【図4】本発明の電子素子の電流電圧特性を説明する図

【図5】本発明の電子素子の電流電圧特性を説明する図

【図6】本発明の電子素子を回路に適用した第4の実施例を示す図

【図7】第4の実施例の電子素子の電気特性を示す図

【図8】第4の実施例の電子素子の電気特性を示す図

【図9】本発明の電子素子を回路に適用した第5の実施例

【図10】第5の実施例の電子素子の電気特性を示す図

【図11】第5の実施例の電子素子の電気特性を示す図

【図12】本発明の電子素子を回路に適用した第6の実施例

【図13】本発明の電子素子の第4の実施例の断面構造を説明する図

【図14】本発明の電子素子の第5の実施例の断面構造を説明する図

【図15】本発明の電子素子の平面図

【図16】本発明の電子素子の真空管特性を説明する図

【図17】従来の電子素子を説明する回路図

【符号の説明】

5 基板

6 空間（ボイド）

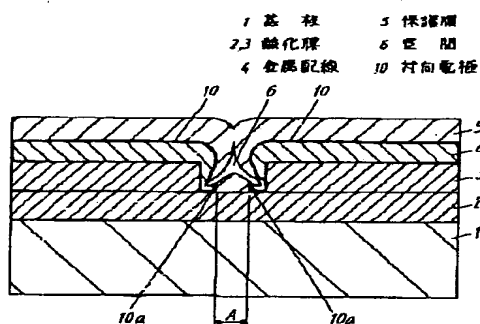
10 対向電極

11 制御電極

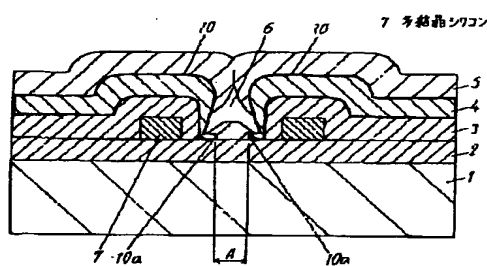
(15)

特開平4-229636

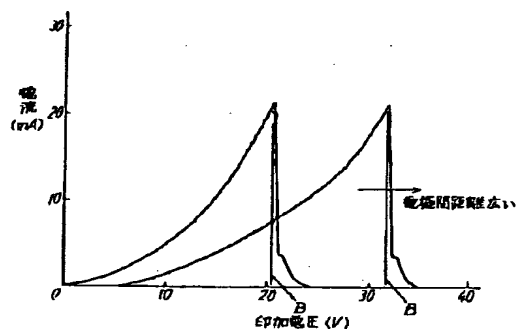
【図1】



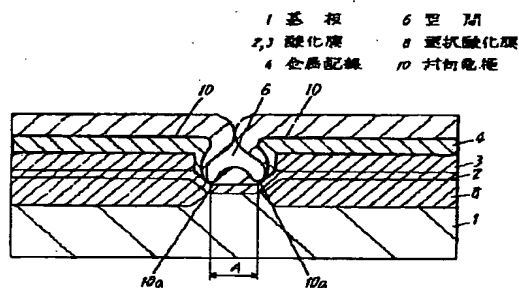
【図2】



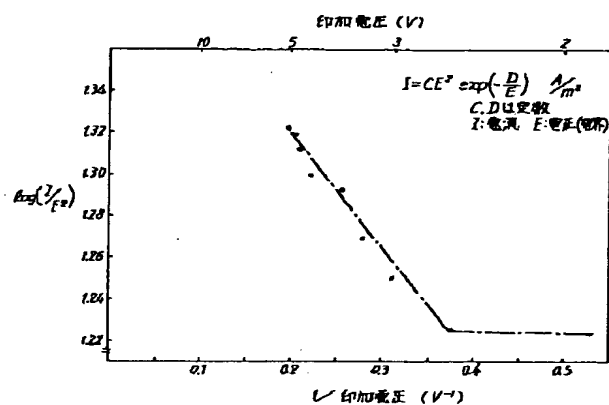
【図4】



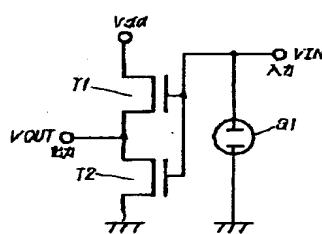
【図3】



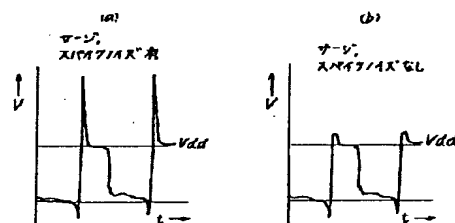
【図5】



【図6】



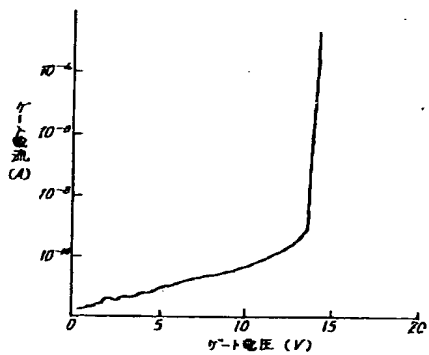
【図8】



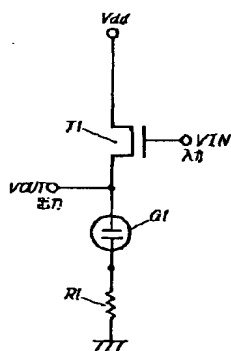
(16)

特開平4-229636

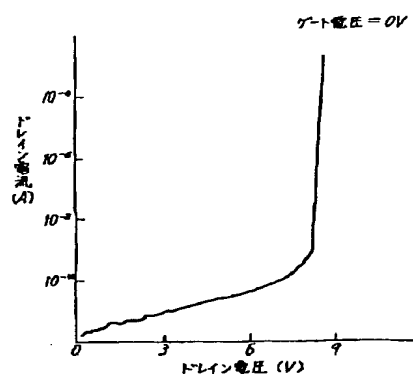
【図7】



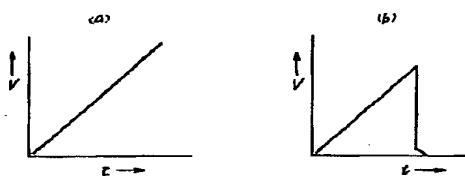
【図9】



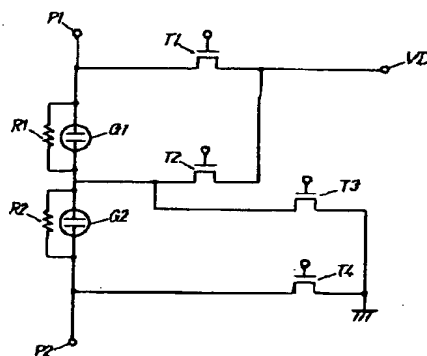
【図10】



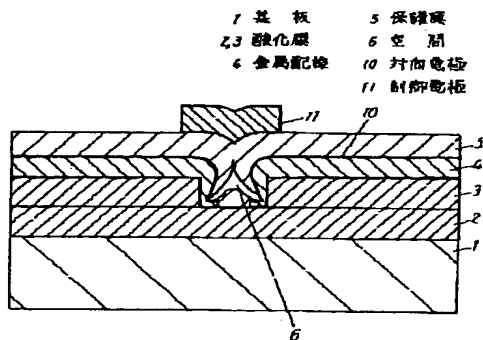
【図11】



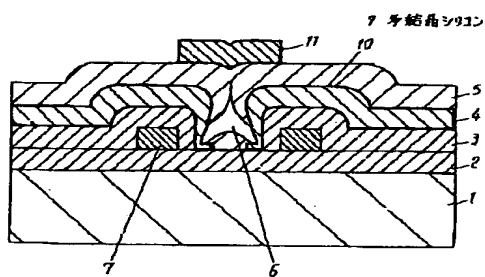
【図12】



【図13】



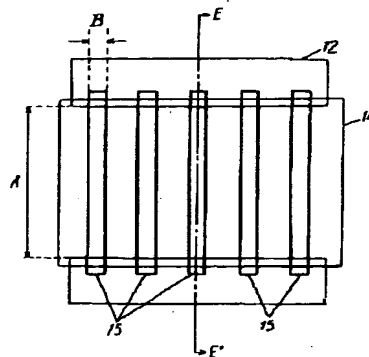
【図14】



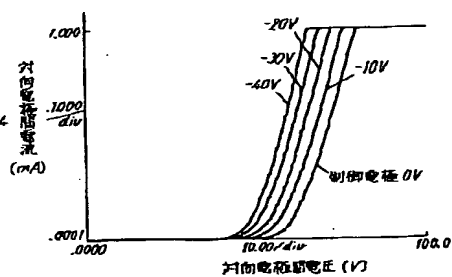
(17)

特開平4-229636

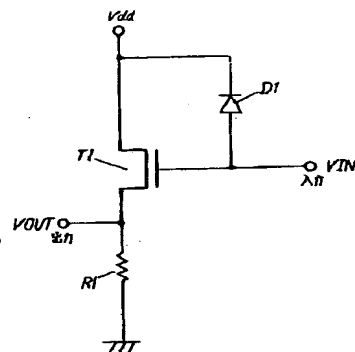
【図15】



【図16】



【図17】



フロントページの続き

(51) Int. Cl.⁵

H 01 L 27/04

識別記号

庁内整理番号

H 8427-4M

7220-4M

F I

H 01 L 23/56

技術表示箇所

A

